



9. 下列 ( ) 存储器采用的不是 Flash 存储器芯片。  
 A. U 盘      B. SSD      C. SD 卡      D. Cache
10. 中断系统的工作过程可分为几个阶段, 它们的先后顺序正确的是 ( )。  
 A. 中断响应、中断请求、中断处理、中断返回  
 B. 中断请求、中断响应、中断处理、中断返回  
 C. 中断请求、中断处理、中断响应、中断返回  
 D. 中断处理、中断请求、中断响应、中断返回

二、简答题, 11~15 题, 每题 6 分, 共 30 分。

11. 一个 C 语言程序在 32 位机上运行。程序中定义了三个变量  $x$ ,  $y$  和  $z$ , 其中  $x$  和  $z$  为 int 型,  $y$  为 short 型。当  $x=127$ ,  $y=-9$  时, 执行赋值语句  $z=x+y$  后,  $x$ 、 $y$  和  $z$  的值时分别是多少 (用 16 进制表示)?
12. 什么是溢出? 补码加法运算如何判断是否溢出?
13. 某计算机采用微程序控制器, 微指令格式如下。

操作控制字段	判别测试字段	下址字段
--------	--------	------

- 该机指令系统有 29 条指令, 平均每条指令由 5 条微指令实现。微程序控制器产生 18 种微操作命令, 采用直接控制法 (即不译法); 有 6 个转移控制状态 (采用译码形式)。该微指令的格式中, 各字段分别需要几位? 控存的容量是多少 (以“字数×字长”的形式表示)?
14. 简述 I/O 端口独立编址、统一编址方式下 I/O 端口地址与主存地址空间的关系。哪一种 I/O 编址方式需要指令系统具有专门的 I/O 指令?
15. 在向量中断系统中, 当 CPU 响应中断时, 为什么外设将向量地址放在数据总线上, 而不是地址总线上?

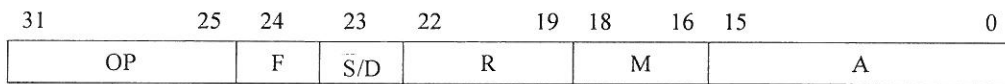
三、综合应用题, 16~20 题, 共 100 分。

16. (本题 13 分) 某计算机 CPU 的地址线有 15 位, 数据线是 8 位, 试问:
- (1) 该计算机的最大主存容量是多少位? 现有  $8K \times 4$  位的 SRAM 芯片和 2-4 译码器、3-8 译码器, 如果按最大容量配置主存, 需要多少片 SRAM 芯片? 应该优先选用哪种地址译码器?
  - (2) 请画出使用上述芯片 (包括译码器) 构成的主存与 CPU 的连接框图。要求: 图上需标明与 SRAM 芯片片内地址连接的 CPU 地址线序号 (形如  $A_j \sim A_i$ ), 与译码器连接的 CPU 地址线序号; 清晰地画出译码器的输出连接到 SRAM 芯片的哪个引脚 (标明引脚名), 以及 CPU 数据线与 SRAM 芯片数据线的连接关系; 可以不画 RD、WR、MEM 等控制信号。
  - (3) 地址译码器的每个输出所选中的芯片的地址范围是多少 (用十六进制表示)?
17. (本题 22 分) 某计算机存储器按字节编址, 虚拟地址空间大小为 256MB, 主存地址空间大小为 16MB, 虚拟地址采用段页式管理, 空间被划分成 4 个段, 每段有 64 页, 页面大小为 1MB; Cache 有 16 块, 采用 4 路组相联映射方式, 共分为 4 组, 块大小为 32B。假设当前系统段表、部分页表和 Cache 的部分内容如下图 (题 17 图) 所示, 试回答以下问题:

段表:			虚段 0 页表:			虚段 2 页表:			Cache 变换表:		
虚段号	页表首地址	装入位	虚页号	实页号	装入位	虚页号	实页号	装入位	块号	TAG 标记	装入位
0		1	0	0	1	0	1	1	0	01001H	1
1		0	1	5	1	1	2	1	1	-	0
2		1	2	6	1	2	-	0	2	01002H	1
3		0	3	-	0	3	-	0	3	-	0
			...	-	0	...	-	0	4	0A690H	1
			63	-	0	63	-	0	5	0428DH	1
									6	-	0
									...	-	0
									15	-	0

题 17 图

- 进行虚拟地址管理时，分别画出虚拟地址和物理地址的格式，标明地址格式中每一部分的名称和位数。
  - 当主存和 Cache 进行地址映像和变换时，分别画出内存地址和 Cache 地址的格式，标明地址格式中每一部分的名称和位数。
  - 请解释虚拟地址 81146A8H 所在的页面是/否在主存中。
  - CPU 访问物理地址 2146A8H 的内容是从主存还是 Cache 取得的？简要说明原因。
18. (本题 20 分) 某计算机指令系统双操作数指令的格式如下图 (题 18 图) 所示:



题 18 图

其中, OP 是操作码; F 用来指明该指令的执行结果是否影响程序状态字 PSW (F=1 时影响, F=0 时不影响); 双操作数指令有一个操作数必须在寄存器中, 由 R 字段指定寄存器号, S/D 字段说明该寄存器中是源操作数还是目的操作数 (S/D=0 时为源操作数, S/D=1 时为目的操作数); 另一个操作数的寻址方式由 M 指定, A 为形式地址, 支持的寻址方式如下表 (题 18 表) 所示。

题 18 表

M 值	寻址方式	说明
000	寄存器寻址	字段 A 的低 4 位指定寄存器号
001	寄存器间接寻址	字段 A 的低 4 位指定寄存器号
010	寄存器自增间接寻址	字段 A 的低 4 位指定寄存器号
011	变址寻址	变址寄存器 Rx 隐含, A 为基准地址
100	立即寻址	A 为立即数
101	直接寻址	A 为有效地址
110	间接寻址	A 为有效地址的地址
111	相对寻址	A 为位移量, EA = (PC) + A

若该计算机的 CPU 字长和主存储器字长均为 32 位。试回答以下问题:

- 加法指令 “ADD R9, 92H(PC)” 中, 源操作数为 R9 寄存器寻址方式; 目的操作数为相对寻址方式, 偏移量为 92H。若 ADD 的操作码为 (1000110)<sub>2</sub>, 根据题 18 图给出的双操作数指令的格式分别以二进制和十六进制的形式写出该指令的机器码, 其中二进制编码要求按照题 18 图的格式分段写出。
- 假设主存储器按字节编址, 上述 ADD 指令存放在主存 8000H 单元, 试计算目的操作数的有效地址 (要求写出计算方法、过程和结果)。

- (3) 分别写出直接寻址、间接寻址和寄存器间接寻址方式的寻址范围，并说明理由。
- (4) 假设该指令系统的指令格式采用操作码扩展方式，指令按操作数的个数分为双操作数、单操作数和无操作数三种。该指令系统最多能容纳多少条双操作数指令？试仿照题 18 图的形式分别设计出单操作数指令格式和无操作数指令格式。
19. (本题 20 分) 某计算机采用 5 段流水方式执行指令，各流水段分别是取指(IF)、译码/读寄存器(ID)、执行/计算有效地址(EX)、访问存储器(M)和结果写回寄存器(WB)，流水线采用“按序发射，按序完成”方式，没有处理数据相关，并且同一个寄存器的读和写操作不能同时进行。该机指令系统中部分指令的格式及功能如下表(题 19 表)。

题 19 表

	指令的汇编格式	指令功能
加法指令	ADD Rs,Rd	(Rs)+(Rd)→Rd
算术/逻辑左移	SHL Rd	2*(Rd)→Rd
算术右移	SHR Rd	(Rd)/2→Rd
取数指令	LOAD	(mem)→Rd
存数指令	STORE	(Rs)→mem

请回答以下问题：

- (1) 若某个时间段中，有连续的 8 条指令进入流水线，在其执行过程中没有发生任何阻塞，计算该段时间内指令流水线的加速比，写出计算方法、过程及结果。
- (2) 实现“ $x=a+b$ ”功能的指令序列及流水线执行时空图如下图(题 19 图)，指令中的 [a]、[b]、[x] 分别表示存储器地址 a、b、x 对应存储单元中的内容。

指令	时间单元													
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I <sub>1</sub> : LOAD R1, [a]	IF	ID	EX	M	WB									
I <sub>2</sub> : LOAD R2, [b]		IF	ID	EX	M	WB								
I <sub>3</sub> : ADD R1, R2			IF				ID	EX	M	WB				
I <sub>4</sub> : STORE R2, [x]							IF				ID	EX	M	WB

题 19 图

试分别说明 I<sub>3</sub> 的 ID 段和 I<sub>4</sub> 的 IF 段被阻塞的原因。

- (3) 以下指令序列完成的功能是“ $x = x/2+a$ ”，写出 I<sub>3</sub> 处的汇编指令，并参考上图(题 19 图)的形式画出该指令序列在指令流水线中的时空图。

I<sub>1</sub>: LOAD R1, [x]  
 I<sub>2</sub>: LOAD R2, [a]  
 I<sub>3</sub>: \_\_\_\_\_  
 I<sub>4</sub>: ADD R1, R2  
 I<sub>5</sub>: STORE R2, [x]

20. (本题 25 分) 假定某硬盘数据传输以 32 位的字为单位，读写硬盘时的数据传输速率为 2MB/s。CPU 的时钟频率为 100MHz。(注：题中 1M=10<sup>6</sup>)

- (1) 假设采用程序查询的输入输出方式，一次查询操作需要 10 个时钟周期。假定进行足够的查询以避免数据丢失。求 CPU 为 I/O 查询所花费的时间占整个 CPU 时间的百分比(需写出求解过程)。
- (2) 当采用中断方式进行控制时，每次传输的开销(包括中断处理)为 10 个时钟周期。

求 CPU 在读写硬盘期间为传输数据所花费的时间占 CPU 时间的百分比(需写出求解过程)。

- (3) 采用 DMA 控制进行输入/输出操作, 假定启动 DMA 的预处理操作需要 100 个时钟周期, DMA 完成后处理中断需要 50 个时钟周期, 如果平均传输的数据长度为 4KB, 求 CPU 在读写硬盘期间用于 DMA 辅助操作(包括预处理和后处理)的时间占 CPU 时间的百分比(需写出求解过程)。
- (4) 假设总线时钟频率为 20MHz, CPU 和总线的时钟周期各为多少? 总线的带宽为多少? (均需写出计算过程)

【以下空白】